

Janich & Klass

Computersysteme

JK82 PIO-WRAP

TECHNISCHE BESCHREIBUNG

Bestellnummern:

JSK-Z-1420: JK82 PIO-WRAP unbestückt
JSK-Z-1421: JK82 PIO-WRAP Bausatz 4MHz
JSK-Z-1422: JK82 PIO-WRAP bestückt 4MHz

Im autorisierter Händler:

```
*****  
*  
*  
*  
*  
*  
*  
*  
*  
*  
*  
*****
```

HEINRICH HEINKE HAVEKOST
Softwaretechnik
Ringbahnstraße 65, 1000 Berlin 42
Telefon (030) 752 66 03

© 1983 by Janich & Klass Wuppertal

20.12.83

Neumarktstr. 46, D-5600 Wuppertal 1, Tel. 0202/44 24 80

Inhaltsverzeichnis:

1.	Allgemeine Eigenschaften der PIO-WRAP-Platine:	Seite: 2
2.	IEI/IEO-Daisy-Chain:	Seite: 3
3.	Steckerbelegungen:	Seite: 3
3.1	Steckerbelegung der parallelen Ports:	Seite: 3
3.2	Busbelegung:	Seite: 4
4.	DIL-Schalteneinstellung:	Seite: 4
4.1	Adresseinstellung der I/O-Ports:	Seite: 5
4.2	BAI/BAO-Daisy-Chain:	Seite: 5
4.3	Standardeinstellung des DIL-Schalters:	Seite: 5
5.	Stückliste:	Seite: 6
6.	Bestückungsplan:	Seite: 6
7.	Schaltplan:	Seite: 7

1. Allgemeine Eigenschaften der JK82 PIO-WRAP-Platine:

Die JK82 PIO-Wrap-Platine enthält 4 Z80A PIOs, die komplette Bussteuerlogik für den JK82-Systembus und ein Lochrasterfeld zum Aufbau von speziellen Anwenderschaltungen.

Die technischen Daten der PIO-WRAP-Platine in Stichworten:

- Vier Z80A PIOs

Die PIO-Datensignale einschließlich READY und STROBE sind für jeweils beide Datenports auf 26polige Pfostenstecker geführt. Die Pinbelegung dieser Pfostenstecker ist kompatibel zur JK82 CPU I.

- Einfach-Europakarte mit ECB-kompatiblen JK82-Bus

JK82 PIO-WRAP ist voll IM 2-interruptfähig. Die Bussteuerung erlaubt eine RETI-Erkennung für die internen PIOs. IEI und IEO sind mit Look-Ahead beschaltet. Auch bei einer Teilbestückung bleibt die IEI/IEO-Daisy-Chain voll erhalten.

- Stromverbrauch bei 4MHz typisch 310mA (auf 5V)

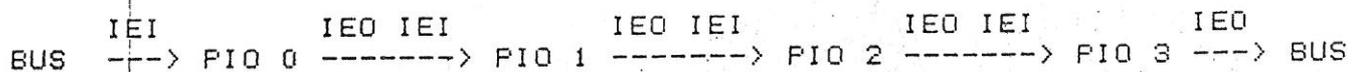
- Lochrasterfeld im 2,54mm-Raster

Ausnutzbare Fläche: 44x15 Rasterpunkte mit 1,0mm Bohrungen. Außerdem sind alle Bohrungen für die Montage einer Steckerleiste nach DIN 41612 vorhanden.

2. IEI/IEO-Daisy-Chain:

Die vier Vector-Interrupt-fähigen PIOs sind in einer Daisy Chain priorisiert. Die Daisy Chain ist mit einer Carry-Look-Ahead-Logik beschaltet, so daß die gesamte Durchlaufverzögerung im Bereich von 10 - 20ns liegt.

Die Priorisierung geschieht in folgender Reihenfolge:



Durch Pull-UP-Widerstände von IEO der PIO 1, PIO 2 und PIO 3 ist eine einwandfreie Funktion der Daisy Chain auch dann gewährleistet, wenn nicht alle 4 PIOs bestückt werden.

Bei Bestückung mit nur einer PIO ist unbedingt PIO 0 zu bestücken!

Bei Bestückung mit nur 2 PIOs sind unbedingt PIO 0 und PIO 1 zu bestücken!

Bei Bestückung mit nur 3 PIOs sind unbedingt PIO 0, PIO 1 und PIO 2 zu bestücken!

In allen anderen Fällen wird die IEI/IEO-Daisy-Chain unterbrochen!

3. Steckerbelegungen:

3.1 Steckerbelegung der parallelen Ports:

Jeder PIO ist ein 26pol. Pfostenstecker mit folgender Belegung zugeordnet:

B7	o 1	2 o	A7
B6	o 3	4 o	A6
B5	o 5	6 o	A5
B4	o 7	8 o	A4
B3	o 9	10 o	A3
B2	o 11	12 o	A2
B1	o 13	14 o	A1
B0	o 15	16 o	A0
+5V	o 17	18 o	GND
BSTB	o 19	20 o	ASTB
BRDY	o 21	22 o	ARDY
NC	o 23	24 o	NC
NC	o 25	26 o	NC

Diese Pinbelegung ist kompatibel zur JSK2 CPU I.

Zur einfacheren Verdrahtung einer Zusatzschaltung im WRAP-Feld ist noch eine 16pol. Pfostenreihe mit +5V und GND vorhanden (siehe Bestückungsdruck).

3.2 Busbelegung:

Input/Output		LS-Fan out		in	Belegung der V64 Leiste					
						a		c		
A0	Adresse	0	--	1						
A1	Adresse	1	--	1						
A2	Adresse	2	--	1	+5V	1	o	1	+5V	
A3	Adresse	3	--	1	D5	2	o	2	D0	
A4	Adresse	4	--	3	D6	3	o	3	D7	
A5	Adresse	5	--	3	D3	4	o	4	D2	
A6	Adresse	6	--	3	D4	5	o	5	A0	
A7	Adresse	7	--	3	A2	6	o	6	A3	
					A4	7	o	7	A1	
D0	Data 0		60	1	A5	8	o	8		
D1	Data 1		60	1	A6	9	o	9	A7	
D2	Data 2		60	1		10	o	10		
D3	Data 3		60	1		11	o	11	IEI	
D4	Data 4		60	1	$\overline{\text{BAI}}$	12	o	12		
D5	Data 5		60	1		13	o	13		
D6	Data 6		60	1		14	o	14	D1	
D7	Data 7		60	1		15	o	15		
$\overline{\text{IORQ}}$	I/O Request		--	1	$\overline{\text{BAO}}$	16	o	16	IEO	
$\overline{\text{RD}}$	Read		--	1		17	o	17		
$\overline{\text{MI}}$	Maschinenzyklus 1		--	1		18	o	18		
ϕ	Clock		--	4	$\overline{\text{MI}}$	19	o	19		
$\overline{\text{PWCLR}}$	Power on clear		--	1		20	o	20		
$\overline{\text{INT}}$	Interrupt	3,2mA	--			21	o	21	$\overline{\text{INT}}$	
IEI	Int. Enable in		--	3		22	o	22		
IEO	Int. Enable out	19	--			23	o	23		
$\overline{\text{BAI}}$	Busacknowledge in		--			24	o	24	$\overline{\text{RD}}$	
$\overline{\text{BAO}}$	Busacknowledge out		--			25	o	25		
					$\overline{\text{IORQ}}$	26	o	26	$\overline{\text{PWCLR}}$	
						27	o	27		
						28	o	28		
						29	o	29	ϕ	
						30	o	30		
						31	o	31		
					GND	32	o	32	GND	

4. DIL-Schalttereinstellung:

DIL-Schalterbelegung:

1	o	o	BA0
2	o	o	frei
3	o	o	A4
4	o	o	A5
5	o	o	A6
6	o	o	A7

4.1 Adreßeinstellung der I/O-Ports:

Die JK82 PIO-WRAP-Platine belegt 16 I/O-Adressen, wobei die oberen 4 Bit der Adresse über die DIL-Schalter A4 bis A7 einstellbar sind.

Die Adreßbelegung sieht dann folgendermaßen aus:

A7	A6	A5	A4	A3	A2	A1	A0	(Hex)			
x	x	x	x	0	0	0	0	(20)	PIO 0 DATA	Kanal A	
x	x	x	x	0	0	0	1	(21)	PIO 0 CONTROL	Kanal A	
x	x	x	x	0	0	1	0	(22)	PIO 0 DATA	Kanal B	
x	x	x	x	0	0	1	1	(23)	PIO 0 CONTROL	Kanal B	
x	x	x	x	0	1	0	0	(24)	PIO 1 DATA	Kanal A	
x	x	x	x	0	1	0	1	(25)	PIO 1 CONTROL	Kanal A	
x	x	x	x	0	1	1	0	(26)	PIO 1 DATA	Kanal B	
x	x	x	x	0	1	1	1	(27)	PIO 1 CONTROL	Kanal B	
x	x	x	x	1	0	0	0	(28)	PIO 2 DATA	Kanal A	
x	x	x	x	1	0	0	1	(29)	PIO 2 CONTROL	Kanal A	
x	x	x	x	1	0	1	0	(2A)	PIO 2 DATA	Kanal B	
x	x	x	x	1	0	1	1	(2B)	PIO 2 CONTROL	Kanal B	
x	x	x	x	1	1	0	0	(2C)	PIO 3 DATA	Kanal A	
x	x	x	x	1	1	0	1	(2D)	PIO 3 CONTROL	Kanal A	
x	x	x	x	1	1	1	0	(2E)	PIO 3 DATA	Kanal B	
x	x	x	x	1	1	1	1	(2F)	PIO 3 CONTROL	Kanal B	

Die Angaben in Spalte "(Hex)" beziehen sich auf die Standardadreseinstellung (siehe 4.3)!

Bei der Adreßeinstellung ist zu beachten, daß "ON" eine Null und "OFF" eine Eins bedeutet (Die Schalter schalten nach GND!).

4.2 BAI/BA0-Daisy-Chain:

Bei Verwendung eines JK82-Busses bzw. ECB-Busses (KONTRON-Belegung) und gleichzeitiger Benutzung von mehreren DMA-Bausteinen ist der DIL-Schalter 1 (BAI/BA0) zu schließen (Busacknowledge-Daisy-Chain)!

Bei anderen Bussystemen (z.B. ELZET 80) ist zu prüfen, ob hier nicht wichtige andere Signalleitungen kurzgeschlossen werden (im Zweifel den Schalter nicht schließen!).

Bei Auslieferung der bestückten Platine ist dieser Schalter offen!

4.3 Standardeinstellung des DIL-Schalters:

Bei Auslieferung einer bestückten Platine wird der DIL-Schalter wie folgt eingestellt:

"OFF", "OFF", "ON", "OFF", "ON", "ON"

(BA0 frei A4 A5 A6 A7)

Das bedeutet: BAI/BA0-Daisy-Chain offen
I/O-Basisadresse der Platine: 20H

5. Stückliste:

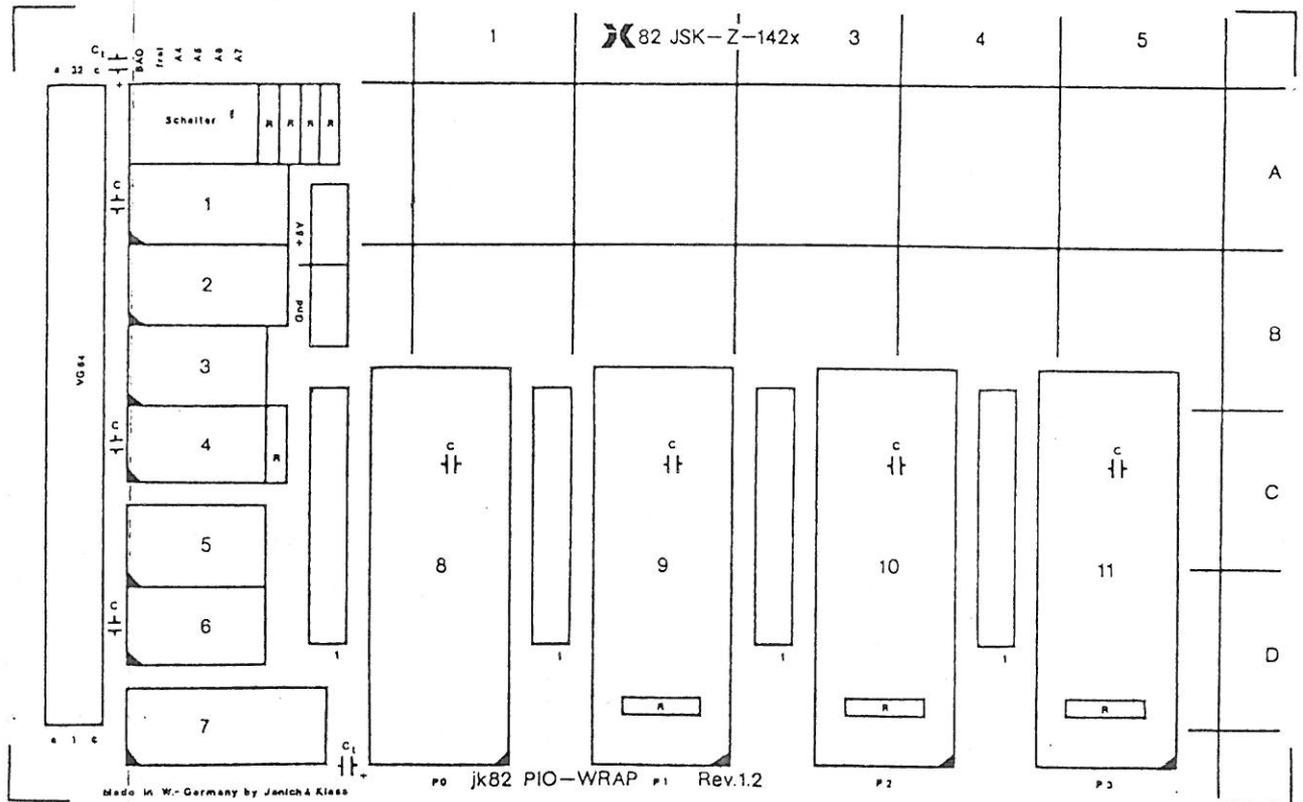
IC 1	74LS85	Socket:	4 x 14pol.
IC 2	74LS139		2 x 16pol.
IC 3	74LS21		1 x 20pol.
IC 4	74LS08		4 x 40pol.
IC 5	74LS27		
IC 6	74LS243		
IC 7	74LS245		
IC 8 - 11	Z80A PIO		
R	8 x 4K7		
C	7 x 100nF RM 2,5		
Ct	2 x 10yF/16V Tantal		

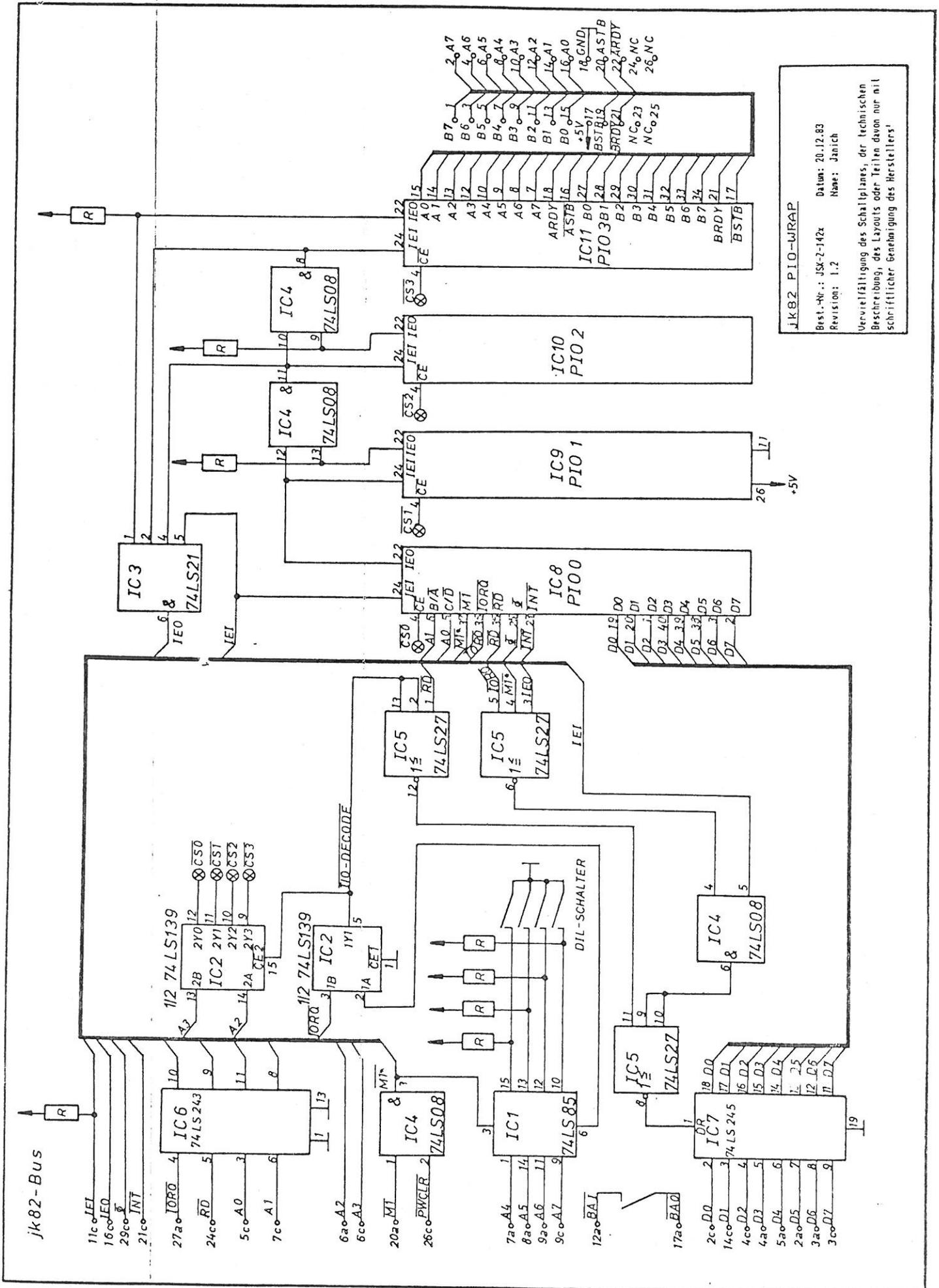
DIL-Schalter 6pol.
 VG-64 Messerleiste (a,c)
 Pfostenleiste: 4 x 26pol. (2 x 17)
 1 x 16pol. (2 x 8)

Fehlerbeschreibung zur Rev. 1.1

Bei dem 26pol. Pfostenstecker zu PIO 1 fehlt der ~~5V~~^{GND}-Anschluß (Pin 17~~78~~⁷⁸ des Pfostensteckers). Bei bestückten Platinen ist dieser Fehler durch eine Drahtbrücke behoben worden. Bei unbestückten Platinen ist eine Drahtbrücke von Pin 18 des 26pol. Pfostensteckers PIO 1 nach ~~5V~~^{GND} zu ziehen! Bei der Rev. 1.2 ist dieser Fehler behoben.

6. Bestückungsplan:





JK82 PIO-WRAP
 Best.-Nr.: JSK-Z-142x Datum: 20.12.83
 Revision: 1.2 Name: Janich
 Verantwortlich des Schaltplanes, der technischen
 Beschreibung, des Layouts oder Teilen davon nur mit
 schriftlicher Genehmigung des Herstellers!